



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0109133
(43) 공개일자 2019년09월25일

(51) 국제특허분류(Int. Cl.)
H01L 25/075 (2006.01) H01L 33/00 (2010.01)
H01L 33/22 (2010.01) H01L 33/62 (2010.01)

(52) CPC특허분류
H01L 25/0753 (2013.01)
H01L 33/0079 (2013.01)

(21) 출원번호 10-2018-0031112
(22) 출원일자 2018년03월16일
심사청구일자 없음

(71) 출원인
주식회사 루멘스
경기도 용인시 기흥구 원고매로 12 (고매동)

(72) 발명자
서주욱
경기도 용인시 기흥구 원고매로 12(고매동, 주식회사 루멘스)

(74) 대리인
유창열

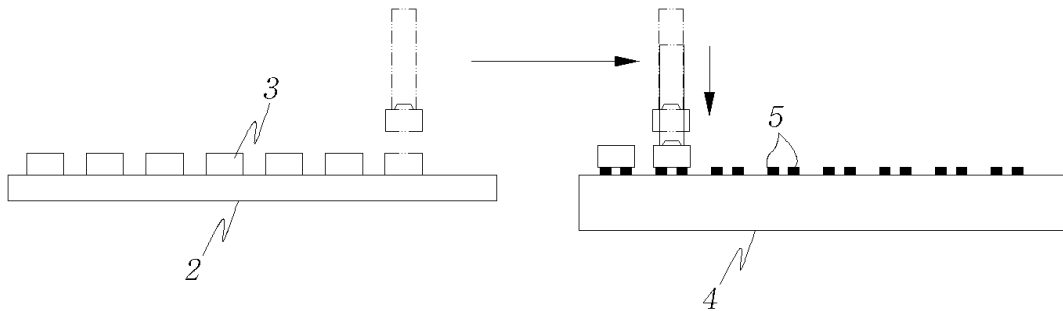
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 **엘이디 디스플레이 패널 제조를 위한 엘이디 칩 어레이 방법**

(57) 요약

복수 개의 마이크로 엘이디 칩들을 기판 상에 기결정(predetermined) 배열로 어레이하는, 마이크로 엘이디 칩 어레이 방법이 개시된다. 이 방법은, 상기 기판 상에 상기 기결정 배열로 복수 개의 솔더부들을 형성하는 단계; 상기 기결정 배열과 대응하는 배열의 리세스(recess)들이 형성된 트레이를 준비하는 단계; 상기 리세스들에 상기 마이크로 엘이디 칩들이 상기 기결정 배열이 되도록, 상기 마이크로 엘이디 칩들을 삽입하는 단계; 상기 리세스들에 삽입되어 있는 마이크로 엘이디 칩들을 칩 트랜스퍼 필름에 접착시키는 단계; 상기 칩 트랜스퍼 필름으로 상기 마이크로 엘이디 칩들 각각이 상기 솔더부들 각각에 놓이도록, 상기 마이크로 엘이디 칩들을 상기 기판 상에 전사하는 단계; 및 상기 솔더부들을 가열하여 상기 마이크로 엘이디 칩들을 상기 기판 상에 본딩하는 단계를 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 33/22 (2013.01)

H01L 33/62 (2013.01)

명세서

청구범위

청구항 1

복수 개의 마이크로 엘이디 칩들을 기판 상에 기결정(predetermined) 배열로 어레이하는, 마이크로 엘이디 칩 어레이 방법으로서,

상기 기판 상에 상기 기결정 배열로 복수 개의 솔더부들을 형성하는 단계;

상기 기결정 배열과 대응하는 배열의 리세스(recess)들이 형성된 트레이를 준비하는 단계;

상기 리세스들에 상기 마이크로 엘이디 칩들이 상기 기결정 배열이 되도록, 상기 마이크로 엘이디 칩들을 삽입하는 단계;

상기 리세스들에 삽입되어 있는 마이크로 엘이디 칩들을 칩 트랜스퍼 필름에 접촉시키는 단계;

상기 칩 트랜스퍼 필름으로 상기 마이크로 엘이디 칩들 각각이 상기 솔더부들 각각에 놓이도록, 상기 마이크로 엘이디 칩들을 상기 기판 상에 전사하는 단계; 및

상기 솔더부들을 가열하여 상기 마이크로 엘이디 칩들을 상기 기판 상에 본딩하는 단계를 포함하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 2

청구항 1에 있어서, 상기 마이크로 엘이디 칩들 각각이 상기 리세스들 각각의 외부로 돌출되도록, 상기 리세스들 각각의 깊이는 상기 마이크로 엘이디 칩들 각각의 높이 이하인 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 3

청구항 1에 있어서, 상기 본딩하는 단계는 리플로우 공정 또는 상기 기판과 접하는 가열블록의 온도를 높이는 공정을 이용하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 4

청구항 1에 있어서, 상기 트레이를 준비하는 단계는 반도체 기판, 세라믹 기판 또는 금속 기판으로 트레이를 제작하되, 상기 리세스들을 형성하기 위해 식각 공정을 이용하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 5

청구항 1에 있어서, 상기 트레이를 준비하는 단계는 반도체 기판, 세라믹 기판 또는 금속 기판으로 트레이를 제작하되, 상기 리세스들을 형성하기 위해, 건식 식각, 습식 식각, 레이저 가공, 이온 밀링(ion-milling) 또는 물리적 드릴링 공정을 이용하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 6

청구항 1에 있어서, 상기 리세스들은 복수 개의 그룹들로 그룹화되고, 상기 복수 개의 그룹들 각각은 파장이 서로 다른 복수 개의 마이크로 엘이디 칩들이 복수 개의 리세스들로 이루어진 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 7

청구항 6에 있어서, 상기 복수 개의 그룹들 중 이웃하는 그룹들 사이에서 이웃하는 리세스 사이의 간격은 하나의 그룹 내에서 이웃하는 리세스 사이의 간격보다 큰 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 8

복수 개의 마이크로 엘이디 칩들을 기판 상에 기결정(predetermined) 배열로 어레이하는, 마이크로 엘이디 칩 어레이 방법으로서,

상기 기결정 배열과 대응하는 배열의 리세스(recess)들이 형성된 트레이를 준비하는 단계;

상기 리세스들에 상기 마이크로 엘이디 칩들이 상기 기결정 배열이 되도록, 상기 리세스들에 상기 마이크로 엘이디 칩들을 삽입하는 단계;

상기 리세스들에 삽입된 마이크로 엘이디 칩들에 복수 개의 솔더부들을 형성하는 단계;

기판의 전극들이 상기 솔더부들과 접하도록, 상기 기판을 배치하는 단계;

상기 솔더부를 가열하여, 상기 마이크로 엘이디 칩들을 상기 기판 상에 본딩하는 단계를 포함하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 9

청구항 8에 있어서, 상기 솔더부들을 형성하는 단계는,

상기 마이크로 엘이디 칩들을 노출시키는 개구들을 포함하는 마스크를 상기 트레이 상에 배치하는 단계; 및

상기 개구들 내로 솔더 재료를 채워, 상기 솔더부들을 형성하는 단계를 포함하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 10

청구항 9에 있어서, 상기 마스크는 메탈 마스크인 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 11

청구항 9에 있어서, 상기 마스크는 포토리소그래피 공정에 의해 상기 개구들이 형성된 PR막인 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 12

청구항 8에 있어서, 상기 트레이의 상면 높이와 상기 리세스들에 삽입된 마이크로 엘이디 칩들의 상면이 동일 평면 상에 있는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 13

청구항 8에 있어서, 상기 본딩하는 단계는 리플로우 공정 또는 상기 트레이와 접하는 가열블록의 온도를 높이는 공정을 이용하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 14

청구항 8에 있어서, 상기 본딩하는 단계는 상기 마이크로 엘이디 칩들 각각이 상기 리세스들 각각의 내부에서 구속된 상태에서 수행되는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 15

청구항 8에 있어서, 상기 트레이를 준비하는 단계는 반도체 기판, 세라믹 기판 또는 금속 기판으로 트레이를 제작하되, 상기 리세스들을 형성하기 위해 식각 공정을 이용하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 16

청구항 8에 있어서, 상기 트레이를 준비하는 단계는 반도체 기판, 세라믹 기판 또는 금속 기판으로 트레이를 제작하되, 상기 리세스들을 형성하기 위해, 건식 식각, 습식 식각, 레이저 가공, 이온 밀링(ion-milling) 또는 물리적 드릴링 공정을 이용하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 17

청구항 8에 있어서, 상기 리세스들은 복수 개의 그룹들로 그룹화되고, 상기 복수 개의 그룹들 각각은 파장이 서

로 다른 복수 개의 마이크로 엘이디 칩들이 복수 개의 리세스들로 이루어진 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 18

청구항 17에 있어서, 상기 복수 개의 그룹들 중 이웃하는 그룹들 사이에서 이웃하는 리세스 사이의 간격은 하나의 그룹 내에서 이웃하는 리세스 사이의 간격보다 큰 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

발명의 설명

기술 분야

[0001] 본 발명은 엘이디 디스플레이 패널 제조 기술에 관한 것으로서, 더 상세하게는, 마이크로 엘이디 디스플레이 패널 제조를 위한 엘이디 칩 어레이 방법에 관한 것이다.

배경 기술

[0002] 마이크로 엘이디 디스플레이 패널 구현을 위한 마이크로 엘이디 모듈을 만들기 위해, 수직형 또는 플립칩형의 마이크로 엘이디 칩들을 PCB(Printed Circuit Board)와 같은 기판에 본딩하여 어레이 한다. 이를 위해서는, 칩 유지부에 소팅되어 있는 마이크로 엘이디 칩들을 기판 상의 솔더부들 위치로 정확히 옮겨 본딩하는 것이 요구된다.

[0003] 도 1에 도시된 바와 같이, 칩 유지부(2) 상에 소팅되어 있는 마이크로 (3)들의 간격이 기판(4) 상의 솔더부(5)들 간격과 다르므로, 기판(4) 상의 각 솔더(5) 위치를 하나씩 확인 한 후, 다이 본더(6)를 이용하여 마이크로 엘이디 칩(3)을 기판(4) 상의 해당 솔더(5)에 본딩하는 방법이 제안된 바 있다. 그러나 이 방법은 많은 수의 마이크로 엘이디 칩(3)을 하나씩 옮겨 기판(4) 상에 본딩해야 하므로, 과도하게 많은 공정 시간이 요구되는 단점이 있다. 또한, 정밀도 오차가 100 um이상인 공정에 있어서는 위와 같은 방식이 이용될 수 있지만, 수 내지 수십 um 의 정밀도를 요하는 공정에서는 적합하지 않다. 또한 블루 테이프와 같은 칩 유지부에 소팅되어 있는 엘이디 칩을 기판에 옮겨 본딩함에 있어서, 소팅 또는 픽업 과정에서의 정렬이 틀어진 엘이디 칩의 경우에는 본딩 과정에서 바로 잡기 어려웠다.

[0004] 또한, 마이크로 엘이디 칩을 픽셀 사이즈에 맞게 재배열한 후 전체 마이크로 엘이디 칩들을 예컨대 롤투롤(roll to roll) 방식으로 또는 정전기 접착 방식 등으로 전사하는 방법이 있다. 이러한 방법을 이용할 경우, 마이크로 엘이디 디스플레이 패널의 양산을 위해서는, 재배열시 마이크로 엘이디 칩들의 칩간 간격의 정밀도가 수 um 이내로 정밀해야하고 속도 또한 빨라야 하는데 이를 만족시키기 어려웠다. 심지어, 마이크로 엘이디 칩보다 더 큰 크기를 갖는 엘이디 칩들을 이용하는 미니 엘이디 디스플레이 패널의 양산에 있어서도, 엘이디 칩들간의 칩간 간격 정밀도가 $10\mu\text{m}$ 이내를 만족시켜야 하지만 이 또한 달성하기 어려웠다.

[0005] 또한, 롤투롤 방식 또는 정전기 접착 방식 등 일반적으로 엘이디 칩들을 전사 할 경우, 재배열한 엘이디 칩들의 상부(즉 엘이디 발광면)에 접착시트를 부착하여 전사를 진행해야 하고, 추후에 접착시트를 제거 하면, 엘이디 칩 상부에 접착제가 조금이라도 남아 있어 발광 효율이 떨어지는 문제점이 있다.

[0006] 또한, 기판에 엘이디 칩들을 전사하기 위해 검토되어 왔던 여러 가지 방법들은 디스플레이를 구현하기에 충분한 엘이디 칩들의 X/Y/Z 정배열 수준을 맞추지 못하고 있고, 엘이디 칩들을 본딩을 위한 리플로우 공정에 있어서도 엘이디 칩들의 원치 않는 회전이나 틀어짐 등의 현상이 발생할 우려가 컸다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 과제는, 미세한 크기를 갖는 엘이디 칩들을 정밀하게 재정렬 할 수 있도록, 기결정 배열의 리세스들이 형성된 트레이를 준비하고, 그 트레이의 리세스들에 엘이디 칩들을 삽입하여, 정밀하게 그리고 손 쉽게 미세 크기를 갖는 엘이디 칩들을 재정렬할 수 있는 방법을 제공한다.

과제의 해결 수단

[0008] 본 발명의 일측면에 따르면, 복수 개의 마이크로 엘이디 칩들을 기판 상에 기결정(predetermined) 배열로 어레이하는, 마이크로 엘이디 칩 어레이 방법이 제공되며, 상기 마이크로 엘이디 칩 어레이 방법은, 상기 기판 상에

상기 기결정 배열로 복수 개의 솔더부들을 형성하는 단계; 상기 기결정 배열과 대응하는 배열의 리세스(recess)들이 형성된 트레이를 준비하는 단계; 상기 리세스들에 상기 마이크로 엘이디 칩들이 상기 기결정 배열이 되도록, 상기 마이크로 엘이디 칩들을 삽입하는 단계; 상기 리세스들에 삽입되어 있는 마이크로 엘이디 칩들을 칩 트랜스퍼 필름에 접착시키는 단계; 상기 칩 트랜스퍼 필름으로 상기 마이크로 엘이디 칩들 각각이 상기 솔더부들 각각에 놓이도록, 상기 마이크로 엘이디 칩들을 상기 기관 상에 전사하는 단계; 및 상기 솔더부들을 가열하여 상기 마이크로 엘이디 칩들을 상기 기관 상에 본딩하는 단계를 포함한다.

- [0009] 일 실시예에 따라, 상기 마이크로 엘이디 칩들 각각이 상기 리세스들 각각의 외부로 돌출되도록, 상기 리세스들 각각의 깊이는 상기 마이크로 엘이디 칩들 각각의 높이 이하이다.
- [0010] 일 실시예에 따라, 상기 본딩하는 단계는 리플로우 공정 또는 상기 기관과 접하는 가열블록의 온도를 높이는 공정을 이용한다.
- [0011] 일 실시예에 따라, 상기 트레이를 준비하는 단계는 반도체 기관, 세라믹 기관 또는 금속 기관으로 트레이를 제작하되, 상기 리세스들을 형성하기 위해 식각 공정을 이용한다.
- [0012] 일 실시예에 따라, 상기 트레이를 준비하는 단계는 반도체 기관, 세라믹 기관 또는 금속 기관으로 트레이를 제작하되, 상기 리세스들을 형성하기 위해, 건식 식각, 습식 식각, 레이저 가공, 이온 밀링(ion-milling) 또는 물리적 드릴링 공정을 이용한다.
- [0013] 일 실시예에 따라, 상기 리세스들은 복수 개의 그룹들로 그룹화되고, 상기 복수 개의 그룹들 각각은 파장이 서로 다른 복수 개의 마이크로 엘이디 칩들이 복수 개의 리세스들로 이루어진다.
- [0014] 일 실시예에 따라, 상기 복수 개의 그룹들 중 이웃하는 그룹들 사이에서 이웃하는 리세스 사이의 간격은 하나의 그룹 내에서 이웃하는 리세스 사이의 간격보다 크다.
- [0015] 본 발명의 다른 측면에 따라 마이크로 엘이디 칩들을 기결정(predetermined) 배열로 기관 상에 어레이하는, 마이크로 엘이디 칩 어레이 방법이 제공되며, 상기 마이크로 엘이디 칩 어레이 방법은, 상기 기결정 배열과 대응하는 배열의 리세스(recess)들이 형성된 트레이를 준비하는 단계; 상기 마이크로 엘이디 칩들이 상기 기결정 배열이 되도록, 상기 리세스들에 상기 마이크로 엘이디 칩들을 삽입하는 단계; 상기 리세스들에 삽입된 마이크로 엘이디 칩들에 솔더부들을 형성하는 단계; 기관의 전극들이 상기 솔더부들과 접하도록, 상기 기관을 배치하는 단계; 및 상기 솔더부를 가열하여, 상기 마이크로 엘이디 칩들을 상기 기관 상에 본딩하는 단계를 포함한다.
- [0016] 일 실시예에 따라, 상기 솔더부들을 형성하는 단계는, 상기 마이크로 엘이디 칩들을 노출시키는 개구들을 포함하는 마스크를 상기 트레이 상에 배치하는 단계; 및 상기 개구들 내로 솔더 재료를 채워, 상기 솔더부들을 형성하는 단계를 포함한다.
- [0017] 일 실시예에 따라, 상기 트레이의 상면 높이와 상기 리세스들에 삽입된 마이크로 엘이디 칩들의 상면이 동일 평면 상에 있다.
- [0018] 일 실시예에 따라, 상기 본딩하는 단계는 리플로우 공정 또는 상기 트레이와 접하는 가열블록의 온도를 높이는 공정을 이용한다.
- [0019] 일 실시예에 따라, 상기 본딩하는 단계는 상기 마이크로 엘이디 칩들 각각이 상기 리세스들 각각의 내부에서 구속된 상태에서 수행된다.

발명의 효과

- [0020] 본 발명에 따른 마이크로 엘이디 칩 어레이 방법은, 기결정 배열로 그리고 정밀한 크기로 리세스들이 형성된 트레이를 제작하고, 그 리세스들에 마이크로 엘이디 칩들을 삽입하는 방식으로, 마이크로 엘이디 칩들을 정밀하게 재정렬할 수 있고, 이에 의해, 우수한 품질의 엘이디 디스플레이의 구현을 가능하게 하는 효과가 있다.
- [0021] 본 발명의 다른 목적, 이점 및 효과는 이하 실시예들의 설명으로부터 더 잘 이해될 수 있을 것이다.

도면의 간단한 설명

- [0022] 도 1은 종래기술을 설명하기 위한 도면이다.
- 도 2는 본 발명의 제1 실시예에 따른 엘이디 칩 어레이 방법을 전반적으로 설명하기 위한 순서도이다.

도 3의 (a), (b) 및 (c)는 칩 유지부에 유지된 적색, 녹색 및 청색 마이크로 엘이디 칩들을 각각 보인 도면들이다.

도 4은 본 발명의 제1 실시예에 따라, 기결정 배열로 기관 상에 솔더부들을 형성하는 단계를 설명하기 위한 도면이다.

도 5는 본 발명의 제1 실시예에 따라, 기결정 배열과 대응하는 배열의 리세스들이 형성된 트레이를 준비하는 단계를 설명하기 위한 도면이다.

도 6은 본 발명의 제1 실시예에 따라, 마이크로 엘이디 칩들이 기결정 배열이 되도록, 리세스들에 마이크로 엘이디 칩들을 삽입하는 단계를 설명하기 위한 도면이다.

도 7은 본 발명의 제1 실시예에 따라, 리세스들에 삽입되어 있는 마이크로 엘이디 칩들을 칩 트랜스퍼 필름에 접착시키는 단계를 설명하기 위한 도면이다.

도 8은 본 발명의 제1 실시예에 따라, 마이크로 엘이디 칩들 각각이 솔더부들 각각에 놓이도록, 상기 칩 트랜스퍼 필름으로 상기 마이크로 엘이디 칩들을 상기 기관 상에 전사하는 단계를 설명하기 위한 도면이다.

도 9는 본 발명의 제1 실시예에 따라, 솔더부들을 가열하여, 상기 마이크로 엘이디 칩들을 상기 기관에 본딩하는 단계를 설명하기 위한 도면이다.

도 10은 본 발명의 제2 실시예에 따른 엘이디 칩 어레이 방법을 전반적으로 설명하기 위한 순서도이다.

도 11은 본 발명의 제2 실시예에 따라 트레이를 준비하는 단계와 그 트레이에 형성된 리세스들에 마이크로 엘이디 칩들을 삽입하는 단계들을 설명하기 위한 도면이다.

도 12는 본 발명의 제2 실시예에 따라, 리세스들에 삽입된 마이크로 엘이디 칩들에 솔더부들을 형성하는 단계를 설명하기 위한 도면이다.

도 13은 본 발명의 제2 실시예에 따라, 기관의 전극들이 솔더부들과 접하도록, 기관을 배치하는 단계를 설명하기 위한 도면이다.

도 14는 본 발명의 제2 실시예에 따라, 마이크로 엘이디 칩들과 기관 사이에 개재되어 있는 솔더부들을 가열하여, 마이크로 엘이디 칩들을 기관 상에 본딩하는 단계를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 본 발명의 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

[0024] [제1 실시예]

[0025] 도 2를 참조하면, 본 발명의 제1 실시예에 따른 엘이디 칩 어레이 방법은, 마이크로 엘이디 칩들을 기결정 (predetermined) 배열로 기관 상에 어레이하는, 엘이디 칩 어레이 방법으로서, 상기 기결정 배열로 기관 상에 솔더부들을 형성하는 단계 s1와, 상기 기결정 배열과 대응하는 배열의 리세스들이 형성된 트레이를 준비하는 단계 s2와, 상기 마이크로 엘이디 칩들이 상기 기결정 배열이 되도록, 상기 리세스들에 상기 마이크로 엘이디 칩들을 삽입하는 단계 s3와, 상기 리세스들에 삽입되어 있는 마이크로 엘이디 칩들을 칩 트랜스퍼 필름에 접착시키는 단계 s4와, 상기 마이크로 엘이디 칩들 각각이 상기 솔더부들 각각에 놓이도록, 상기 칩 트랜스퍼 필름으로 상기 마이크로 엘이디 칩들을 상기 기관 상에 전사하는 단계 s5와, 상기 솔더부들을 가열하여, 상기 마이크로 엘이디 칩들을 상기 기관에 본딩하는 단계 s6을 포함한다.

[0026] 또한, 위 단계들의 수행 전에, 도 3의 (a), (b) 및 (c)에 도시된 바와 같이, 적색 마이크로 엘이디 칩(30R)들, 녹색 마이크로 엘이디 칩(30G)들 및 청색 마이크로 엘이디 칩(30B)들이 각각 접착 유지되어 있는 칩 유지부(2a, 2b, 2c; 통칭하여 2)들이 미리 준비된다. 마이크로 엘이디 칩들(30R, 30G, 30B)들은 균일하지 않은 간격으로 칩 유지부(2a, 2b, 2c)들에 유지되어 있으므로 재배열이 필요하다. 또한 상기 마이크로 엘이디 칩들(30R, 30G, 30B; 통칭하여 30)을 픽셀 단위로 기관 상에 어레이하기 위해서는, 상기 마이크로 엘이디 칩들을 각각이 적색 칩, 녹색 칩, 청색 칩을 포함하는 그룹들이 되도록 재배열하는 것이 필요하다.

[0027] 단계 s1은, 도 4에 도시된 바와 같이, PCB 등과 같은 기관(40)의 상면에 개구(9a)들을 포함하는 마스크(9)를 형성하고, 예컨대 스크린 프린팅 방식으로 상기 개구(9a)들을 통해 솔더용 금속 재료를 채워 상기 기관(40) 상에 각각이 하나 이상의 솔더 범프를 포함하는 솔더부(50)들을 형성한다. 솔더부(50)들이 상기 기관(40) 상에 형성

된 후에는, 상기 마스크(9)가 상기 기판(40)의 상면으로부터 제거된다. 본 실시예에서 솔더부(50)들 각각은 플립칩형 마이크로 엘이디 칩의 두 전극패드에 대응될 수 있게 두개의 솔더 범프들을 포함하지만, 마이크로 엘이디 칩이 기판과 연결되는 측에 하나의 전극패드만을 갖는 경우에는 하나의 솔더 범프만으로 이루어진 솔더부가 채용될 수도 있다. 상기 마스크(9)는 메탈 마스크이거나 또는 포토리소그래피 공정에 의해 상기 개구(9a)들이 형성된 PR막 마스크일 수 있으며, 상기 솔더부(50)는 E-빔 설비 또는 열증착 설비등과 같은 증착 설비를 이용한 증착 공정에 의해 형성된 것일 수 있다.

[0028] 기판 상에는 복수 개의 엘이디 픽셀들에 대응되는 복수 개의 솔더 그룹(G)들이 형성된다. 이웃하는 솔더 그룹(G) 사이에서의 솔더부(50)들 사이의 간격은 솔더 그룹(G) 내 솔더부(50)들간 간격보다 크다.

[0029] 단계 s2는, 도 5에 잘 도시된 바와 같이, 전술한 엘이디 칩의 기판 상으로의 기결정 배열과 대응하는 배열의 리세스들이 형성된 트레이를 준비하는 단계로서, Si, 사파이어, GaAs, AlN등과 같은 반도체 또는 세라믹 기판, 또는 금속 기판을 준비하고, 그 준비된 기판에 포토리소그래피 공정과 식각 공정을 포함하는 반도체 공정을 이용하여 이용하여 일정 깊이의 리세스(62)들을 형성함으로써 제작된다. 상기 리세스(62)들을 형성하기 위한 여러 방식들이 이용될 수 있는데 있는데, 예컨대, 건식 식각, 습식 식각, 레이저, 이온 밀링(ion-milling), 물리적 드릴링 가공에 의한 방식들이 이용될 수 있다. 본 실시예에서, 상기 리세스(62)들 각각은 깊이 전체에 걸쳐 단면적이 동일하다.

[0030] 또한, 이하에서 설명되는 바와 같이, 리세스(62)들 각각에 삽입되는 마이크로 엘이디 칩들 각각이 상기 리세스(62)들 각각의 외부로 돌출될 수 있도록, 상기 리세스(62)들은 상기 엘이디 칩들의 높이보다 작은 깊이로 형성된다.

[0031] 상기 리세스(62)들 각각의 크기(폭)은 대응되는 마이크로 엘이디 칩의 크기(폭)보다 대략 10~30 μ m 정도 더 큰 것이 좋다. 또한, 트레이(60)의 두께는 마이크로 엘이디 칩의 두께 및 마이크로 엘이디 칩이 기판 상에 실장되는 높이를 고려해 수십 μ m~수백 μ m인 것이 바람직하다. 상기 리세스(62)들은, 반도체 공정이나 밀 가공으로 형성되므로, 그 크기나 간격 또는 피치에 있어서 공차를 거의 없앨 수 있다.

[0032] 또한, 상기 리세스(62)들은 복수 개의 그룹(g)들로 그룹화되고, 상기 복수 개의 그룹(g)들 각각은 파장이 서로 다른 복수 개의 마이크로 엘이디 칩(30)들, 즉, 적색 마이크로 엘이디 칩(30R; 도 3 참조), 녹색 마이크로 엘이디 칩(30G; 도 3 참조) 및 청색 마이크로 엘이디 칩(30B; 도 3 참조)들이 삽입되는 3개의 리세스들(62, 62, 62)로 이루어진다. 상기 복수 개의 그룹(G)들 중 이웃하는 그룹들(G, G) 사이에서 이웃하는 리세스(62, 62) 사이의 간격은 하나의 그룹(G) 내에서 이웃하는 리세스(62, 62) 사이의 간격보다 크다.

[0033] 단계 s3은, 도 6에 잘 도시된 바와 같이, 상기 마이크로 엘이디 칩들(30R, 30G, 30B)을 상기 기결정 배열이 되도록, 상기 리세스(60)들에 삽입하는 단계이다. 이때, 상기 마이크로 엘이디 칩들(30R, 30G, 30B)을 하나씩 삽입할 수도 있고 여러 개를 한꺼번에 삽입할 수도 있다. 상기 마이크로 엘이디 칩(30R, 30G, 30B)들 각각은 이하 설명될 후속 단계에서 기판 상의 솔더부들에 본딩되는 전극패드를 포함하는데, 이 전극패드들이 리세스 바닥을 향하도록 상기 마이크로 엘이디 칩(30R, 30G, 30B)이 상기 리세스(62)들에 삽입된다. 앞에서 언급한 바와 같이, 상기 리세스(62)들 각각은 상기 마이크로 엘이디 칩(30R, 30G, 30B)들의 높이와 같거나 그 높이보다 작은 깊이로 형성되는 것이 바람직하며, 이에 따라, 리세스(62)들 각각에 삽입되는 마이크로 엘이디 칩들(30R, 30G, 30B) 각각은 상기 리세스(62)들 각각의 외부로 돌출된다. 하나의 그룹(G) 내에서 서로 연속해 있는 세개의 리세스(62) 각각에 적색 마이크로 엘이디 칩(30R), 녹색 마이크로 엘이디 칩(30G) 및 청색 마이크로 엘이디 칩(30B)이 각각 삽입된다. 이웃하는 두 리세스 그룹(G, G) 사이에서 이웃하는 두 리세스(62, 62)에 삽입된 두 마이크로 엘이디 칩 사이의 간격(30B, 30R)은 하나의 그룹(G) 내에서 이웃하는 두 리세스(62, 62)에 삽입된 두 마이크로 엘이디 칩(30R 및 30G 또는 30G 및 30B) 사이의 간격보다 크다.

[0034] 단계 s4는, 도 7에 도시된 바와 같이, 상기 리세스(62)들에 삽입되어 있는 마이크로 엘이디 칩(30R, 30G, 30B)들을 칩 트랜스퍼 필름(70)에 접촉시키는 단계이다. 칩 트랜스퍼 필름(70)은 마이크로 엘이디 칩(30R, 30G, 30B)들과 접촉하는 제1 면에 접촉성을 갖는다. 또한, 상기 칩 트랜스퍼 필름(70)은 마이크로 엘이디 칩(30R, 30G, 30B)들과 접촉하는 면의 반대면인 제2 면에도 접촉성을 가질 수 있다. 칩 트랜스퍼 필름(70)이 롤 투 롤 전사 방식에 이용되는 경우, 상기 칩 트랜스퍼 필름(70)의 제2 면이 롤에 부착되어 전사에 이용된다. 상기 제1 면에 대한 접촉성은 예컨대 UV 인가에 의해 약화될 수 있는 접착물질을 적용하여 구현될 수 있다.

[0035] 단계 s5는, 도 8에 도시된 바와 같이, 상기 마이크로 엘이디 칩(30R, 30G, 30B)들 각각이 상기 솔더(50)들 각각에 놓이도록, 상기 칩 트랜스퍼 필름(70)으로 상기 마이크로 엘이디 칩(30R, 30G, 30B)들을 상기 기판(40) 상에

전사하는 단계이다. 먼저, 칩 트랜스퍼 필름(70)을 기판(40) 상측에 있도록 위치시킨 후, 상기 칩 트랜스퍼 필름(70)을 예컨대 스탬프 또는 롤러로 가압하여 상기 마이크로 엘이디 칩(30R, 30G, 30B)들이 솔더부(50)들 각각에 놓이도록 배치한다. 솔더부(50)에 미리 접착물질을 개재하여 마이크로 엘이디 칩(30R, 30G, 30B)들이 칩 트랜스퍼 필름(70)에서 떨어져 솔더부(50)에 접착되도록 할 수 있다. 이때, 칩 트랜스퍼 필름(70)의 접착력을 약화시키는 UV를 칩 트랜스퍼 필름(70)에 조사하는 것도 고려될 수 있다.

[0036] 단계 s6은, 도9에 도시된 바와 같이, 상기 솔더부(50)들을 가열하여, 상기 마이크로 엘이디 칩(30R, 30G, 30B)들을 상기 기판(40)에 본딩하는 단계이다. 본 실시예에서는 상기 기판(40)의 하부면과 접하여 배치된 가열블록(90)의 온도를 높여, 가열블록(90)에서 기판(40)을 거쳐 솔더부(50)들에 전달되는 열로 상기 솔더부(50)들을 가열함으로써, 상기 마이크로 엘이디 칩(30R, 30G, 30B)들에 대한 본딩을 수행한다. 마이크로 엘이디 칩(30R, 30G, 30B)의 정렬이 흐트러지는 것을 막도록, 마이크로 엘이디 칩(30R, 30G, 30B)들의 위치가 고정된 상태로 가열블록(90)을 이용하여 가열하는 것이 선호되지만, 기판(40)을 리플로우 오븐에 통과시킴으로써, 솔더부(50)들을 가열하는 것도 고려될 수 있다.

[0037] [제2 실시예]

[0038] 이제 본 발명의 제2 실시예를 설명한다. 제2 실시예의 설명에 있어서 제1 실시예와 중복되는 내용은 생략될 수 있으며, 생략된 내용은 제1 실시예와 같거나 유사한 것으로 본다.

[0039] 도 10을 참조하면, 본 발명의 제2 실시예에 따른 엘이디 칩 어레이 방법은, 마이크로 엘이디 칩들을 기결정(predetermined) 배열로 기판 상에 어레이하는, 엘이디 칩 어레이 방법으로서, 상기 기결정 배열과 대응하는 배열의 리세스(recess)들이 형성된 트레이를 준비하는 단계 S1과, 상기 마이크로 엘이디 칩들이 상기 기결정 배열이 되도록, 상기 리세스들에 상기 마이크로 엘이디 칩들을 삽입하는 단계 S2와, 상기 리세스들에 삽입된 엘이디 칩들에 솔더부들을 형성하는 단계 S3와, 기판의 전극들이 상기 솔더부들과 접하도록, 상기 기판을 배치하는 단계 S4와, 상기 솔더부들을 가열하여, 상기 엘이디 칩들을 상기 기판 상에 본딩하는 단계 S5를 포함한다.

[0040] 단계 S1에서는, 도 11에 도시된 것과 같은 구조를 포함하는 트레이(60)가 준비된다. 상기 트레이(60)는, 앞선 실시예와 유사하게, Si, 사파이어, GaAs, AlN 등과 같은 반도체 또는 세라믹 기판, 또는 금속 기판을 준비하고, 포토리소그래피 공정과 식각 공정을 포함하는 반도체 공정을 이용하여 그 준비된 기판에 일정 깊이의 리세스(62)들을 형성함으로써 제작된다. 상기 리세스(62)들을 형성하기 위한 여러 방식들이 이용될 수 있는데 있는데, 예컨대, 건식 식각, 습식 식각, 레이저, 이온 밀링(ion-milling), 물리적 드릴링 가공에 의한 방식들이 이용될 수 있다. 본 실시예에서, 상기 리세스(62)들 각각은 깊이 전체에 걸쳐 단면적이 동일하다.

[0041] 다시 도 11을 참조하면, 단계 S2는, 마이크로 엘이디 칩(30R, 30G, 30B)들이 상기 기결정 배열이 되도록, 상기 리세스(62)들에 상기 마이크로 엘이디 칩(30R, 30G, 30B)들을 삽입하는 단계이다. 이때, 상기 트레이(60)의 상면과 상기 리세스(62)들에 삽입된 마이크로 엘이디 칩(30R, 30G, 30B)들의 상면이 동일 평면 상에 있는데, 이는 후속 단계에서 마스크가 형성되는 면이 평면이 되도록 해준다. 그리고, 상기 마이크로 엘이디 칩(30R, 30G, 30B)들의 상면, 즉, 상기 마이크로 엘이디 칩(30R, 30G, 30B)들이 상기 리세스(62)들의 외부로 노출되는 면에는 전극패드들이 구비된다. 이는 앞선 제1 실시예에서 마이크로 엘이디 칩의 전극패드가 리세스의 바닥을 향해 있는 것과는 차이가 있다.

[0042] 단계 S3는, 도 12에 도시된 바와 같이, 상기 리세스(62)들에 삽입된 마이크로 엘이디 칩(30R, 30G, 30B)들에 솔더부(50)들을 형성하는 단계로서, 상기 마이크로 엘이디 칩(30R, 30G, 30B)의 전극패드들이 구비된 상면을 노출시키는 노출시키는 개구(9a)들을 포함하는 마스크(9)를 상기 트레이(60) 상에 배치하는 단계와, 상기 개구(9a)들 내로 솔더 재료를 채워, 상기 솔더부(50)들을 형성하는 단계를 포함한다. 솔더부(50)들이 형성되면 마스크(9)가 제거된다. 마스크(9)가 제거된 후에도, 상기 트레이(60)가 제거되지 않는데, 이는 후속 단계에서 리세스(62)들이 마이크로 엘이디 칩(30R, 30G, 30B)를 움직이지 못하도록 하기 위함이다.

[0043] 더 구체적으로, 단계 S3에 있어서는 상기 마스크(9) 형성 후, 예컨대, 스크린 프린팅 방식으로 상기 개구(9a)들을 통해 솔더용 금속 재료를 채워 상기 마이크로 엘이디 칩(30R, 30G, 30B)에 각각에 하나 이상의 솔더 범프를 포함하는 솔더부(50)들을 형성한다. 상기 마스크(9)는 메탈 마스크이거나 또는 포토리소그래피 공정에 의해 상기 개구(9a)들이 형성된 PR막 마스크일 수 있으며, 상기 솔더부(50)는 E-빔 설비 또는 열증착 설비 등과 같은 증착 설비를 이용한 증착 공정에 의해 형성된 것일 수 있다.

[0044] 단계 S4는, 도 13에 도시된 바와 같이, 기판(40)의 전극들(미도시됨)이 상기 솔더부들(50)과 접하도록, 상기 기판(40)을 배치하는 단계이다. 이때, 솔더부(50)들 또는 기판(40) 상에 접착물질을 형성하여, 솔더부(50)가 본딩

에 참여하기 전까지, 기관(40)과 마이크로 엘이디 칩(30R, 30G, 30B) 사이가 고정되어 있도록 하는 것이 바람직하다.

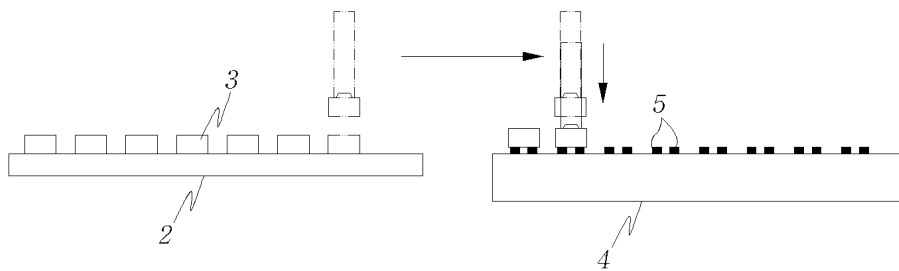
[0045] 단계 S5는, 도 14에 도시된 바와 같이, 마이크로 엘이디 칩(30R, 30G, 30B)들과 상기 기관(40) 사이에 개재되어 있는 솔더부(50)들을 가열하여, 마이크로 엘이디 칩(30R, 30G, 30B)들을 상기 기관(40) 상에 본딩하는 단계이다. 본 실시예에 있어서는, 상기 단계 S5는 상기 트레이(60)의 하부면과 접하여 배치된 가열블록(90)의 온도를 높여, 가열블록(90)에서 발생하여 상기 트레이(60)을 거쳐 솔더부(50)에 전달되는 열로 상기 솔더부(50)들을 가하는 것을 포함한다. 따라서, 상기 트레이(60)는 충분한 열전도를 갖는 것이 바람직하다. 이때, 상기 단계 S5는 상기 마이크로 엘이디 칩(30R, 30G, 30B)들 각각이 상기 리세스(62)들 각각의 내부에서 구속된 상태에서 수행되며, 따라서, 마이크로 엘이디 칩들의 원치 않는 틸트 또는 시프트와 같은 움직임을 막을 수 있다. 리세스(62)들에 마이크로 엘이디 칩들이 구속된 상태에서 본딩 단계가 수행되므로, 진술한 가열블록을 이용한 본딩 방식 대신에, 리플로우 오븐에 통과시켜 솔더부(50)들을 가열하는 방식도 유용하게 이용될 수 있다.

부호의 설명

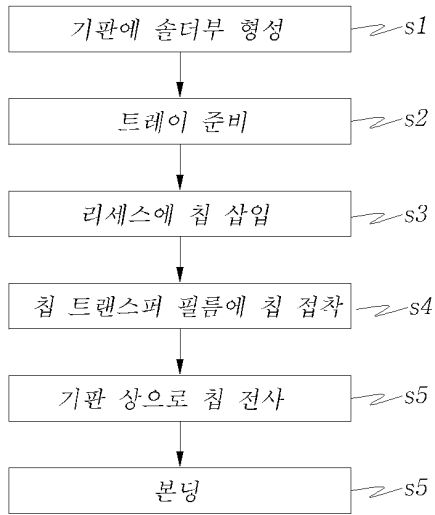
- [0046] 30.....엘이디 칩
- 40.....기관
- 50.....솔더
- 60.....트레이

도면

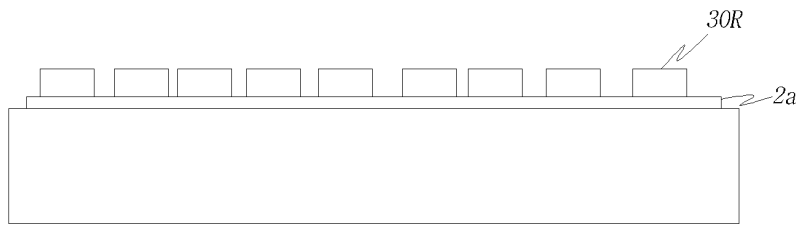
도면1



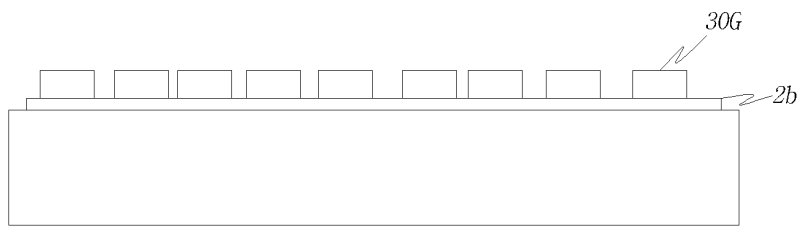
도면2



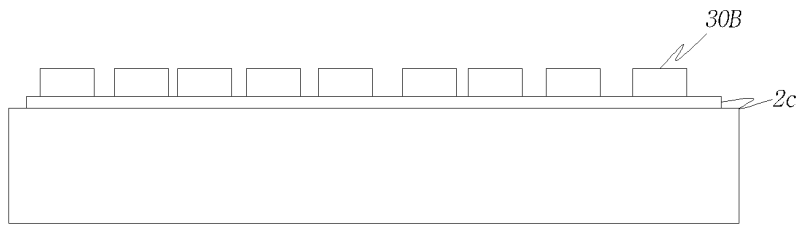
도면3



(a)

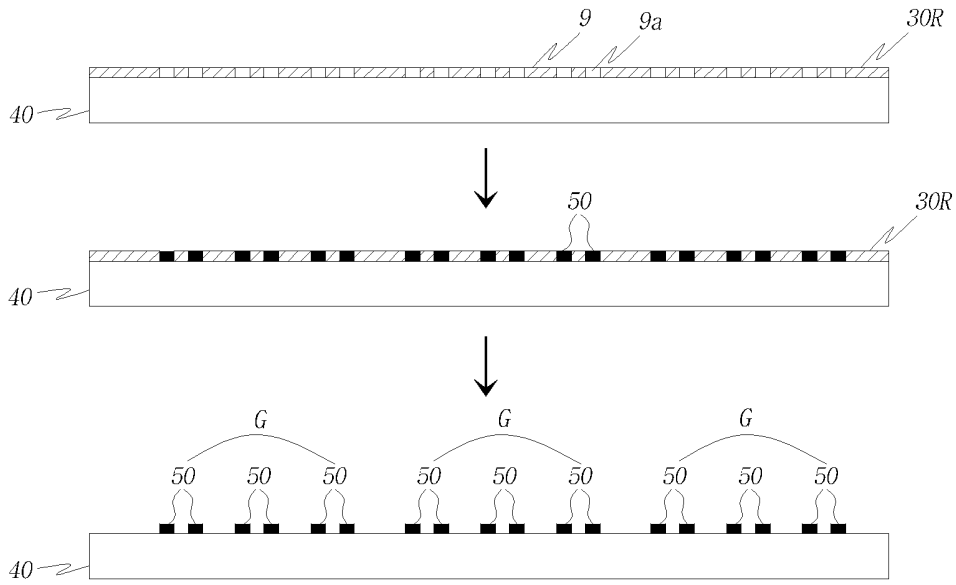


(b)

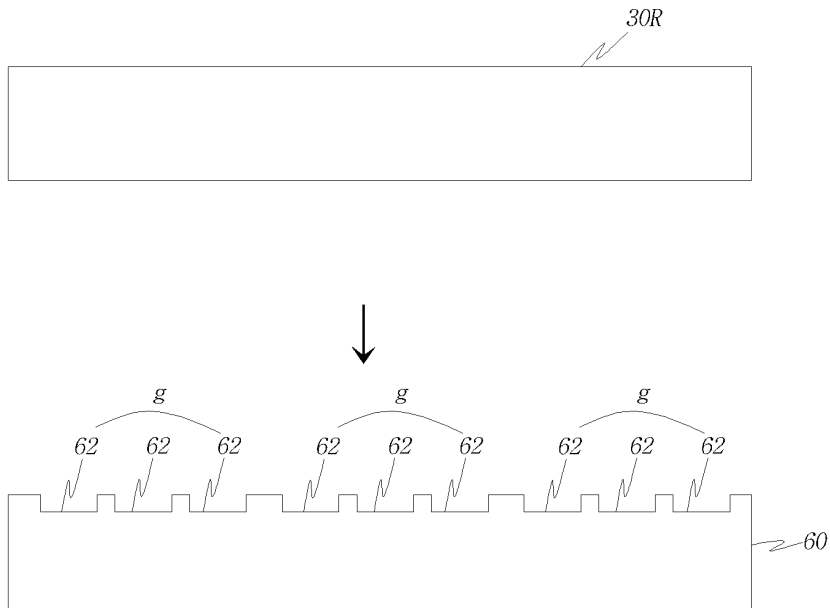


(c)

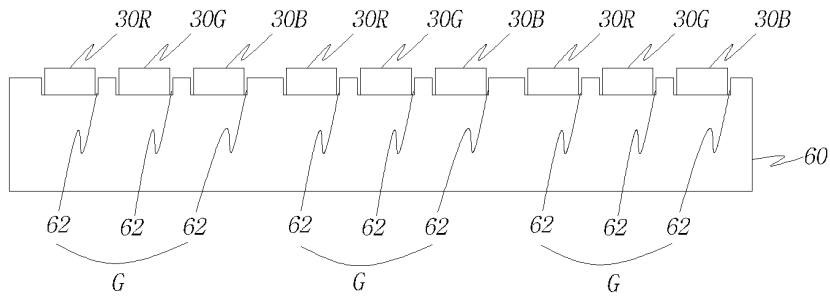
도면4



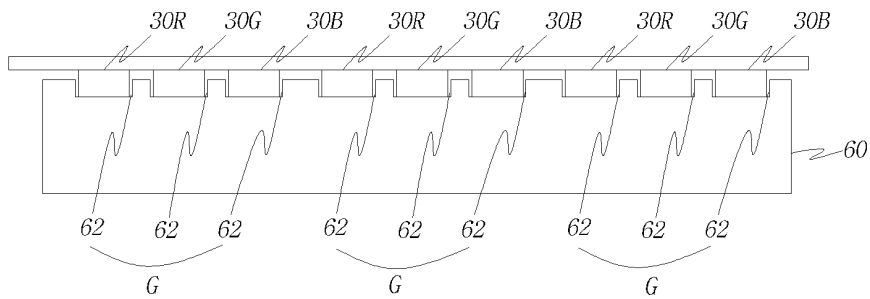
도면5



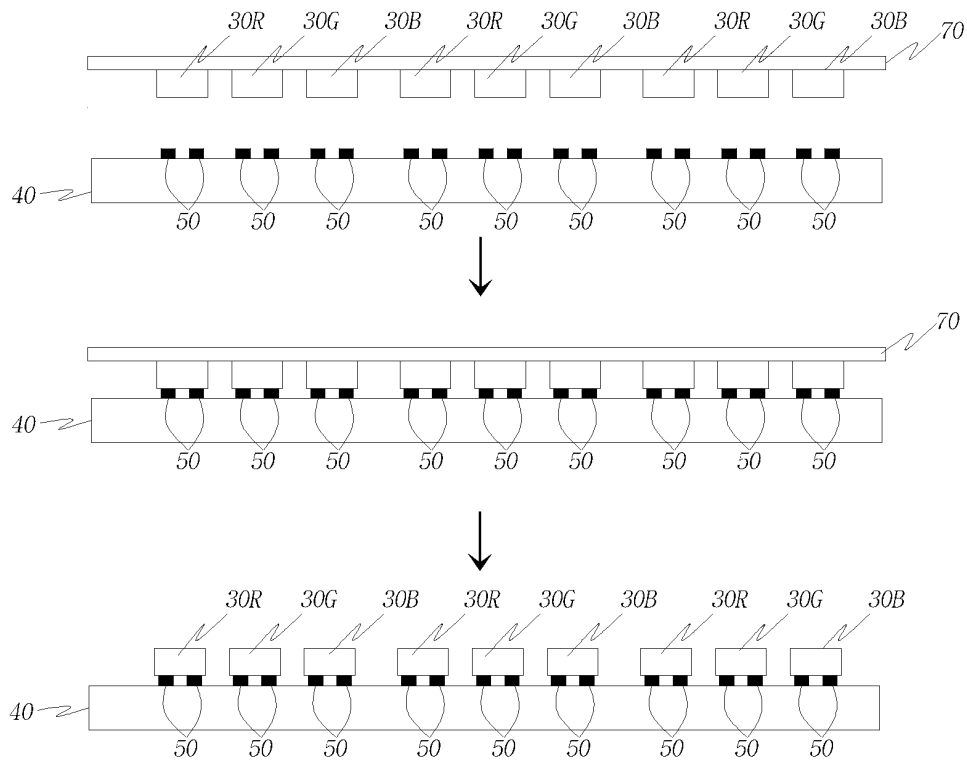
도면6



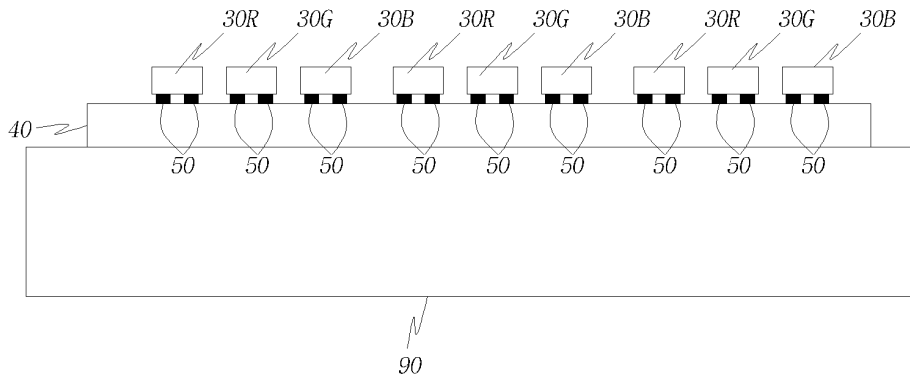
도면7



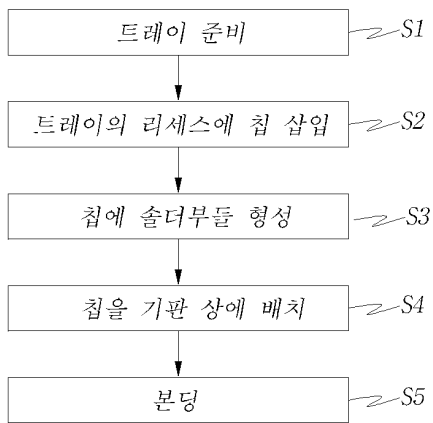
도면8



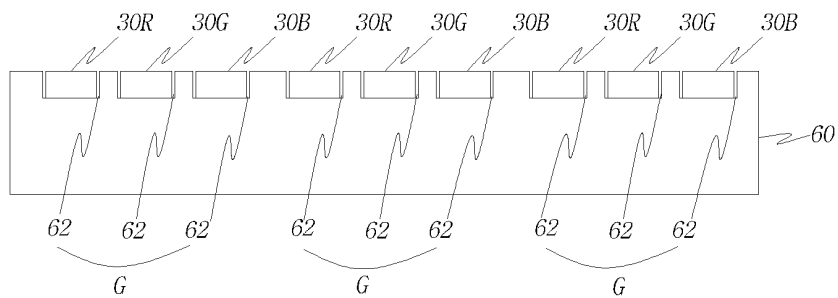
도면9



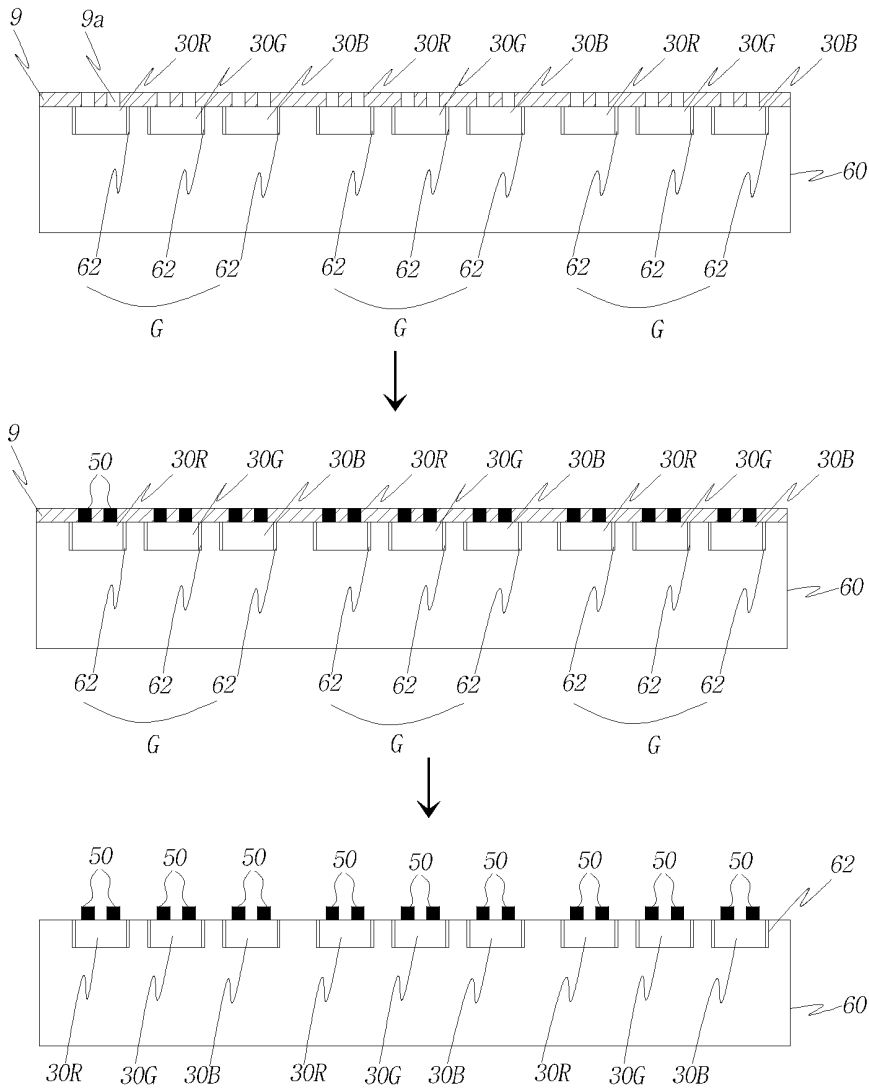
도면10



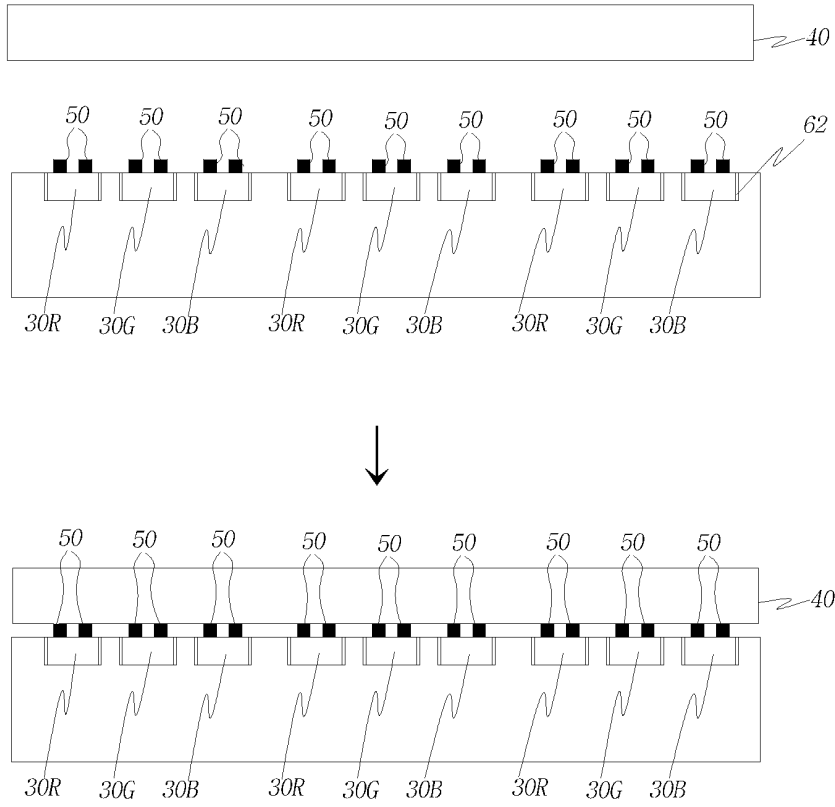
도면11



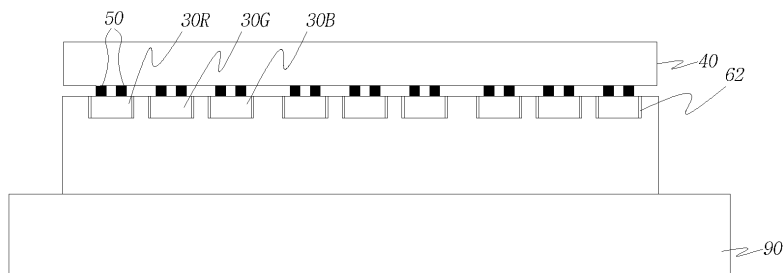
도면12



도면13



도면14



专利名称(译)	用于led显示屏制造的led芯片阵列方法		
公开(公告)号	KR1020190109133A	公开(公告)日	2019-09-25
申请号	KR1020180031112	申请日	2018-03-16
申请(专利权)人(译)	流明公司		
[标]发明人	서주옥		
发明人	서주옥		
IPC分类号	H01L25/075 H01L33/00 H01L33/22 H01L33/62		
CPC分类号	H01L25/0753 H01L33/0079 H01L33/22 H01L33/62		
代理人(译)	Yuchangyeol		
外部链接	Espacenet		

摘要(译)

公开了一种用于排列微型LED芯片的方法，该方法被配置为以预定布置在基板上排列多个微型LED芯片，其中，该方法包括以下步骤：以预定布置在基板上形成多个焊料部分；准备托盘，其中形成具有与预定布置相对应的布置的凹部；将微型LED芯片插入到凹槽中，使得微型LED芯片以预定布置排列；将插入凹槽中的微型LED芯片粘合到芯片转移膜上；将微型LED芯片转移到基板上，使得每个微型LED芯片可以通过芯片转移膜放在每个焊料部分上；通过加热焊料部分将微型LED芯片粘合到基板上。根据本发明，可以精确地重新排列微型LED芯片。

